

Il GigaFitter

Stato del progetto

Silvia Amerio per il gruppo GigaFitter

19 Giugno 2009

Il GigaFitter

Il **GigaFitter** è un processore per fit di traccia

- pensato come possibile ***upgrade del processore di fit di SVT (TF)***
 - migliori performances ad alta luminosità in termini di velocità ed efficienza
- adattabile a esperimenti futuri, dentro e fuori HEP

Persone coinvolte

- Pisa: F.Crescioli, M.Bucciantonio, M.Piendibene, P.Giannetti, M.Dell'Orso
(hardware & firmware)
- Padova: S.Amerio, D.Lucchesi *(simulazione)*, M.Nicoletto, M.Bettini
(hardware)
- LNF: A.Annovi (consulente)

Il cuore del GigaFitter

Basato su una
potente FPGA



Xilinx VIRTEX 5 : 65 nm – **550 MHz**

Contiene **640 DSP**

- moltiplicatori **25 x 18 bit**
- sommatore a 48 bit

TF

Coordinate delle tracce = **18 bits**
Moltiplicatori del TF = **8 x 8 bits**



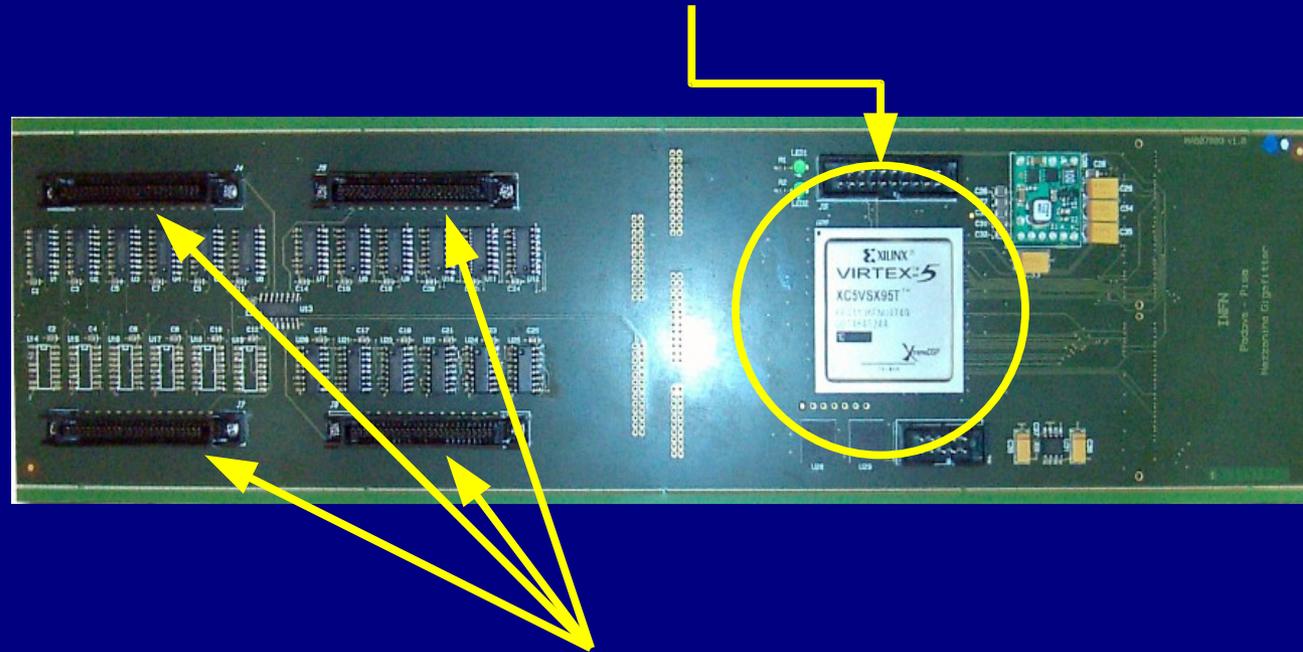
il prodotto scalare deve
essere diviso in 2 termini, di
cui uno **precalcolato**

GF

Non più necessario usare termini precalcolati
Si libera memoria per immagazzinare **nuovi pattern e
nuovi set di costanti**

Mezzanina

Xilinx VIRTEX 5 è montata su una mezzanina



Ogni mezzanina può ricevere dati da 4 dei 12 settori di SVX

Virtex 5:
640 DSP



160 DSP per SVX wedge



Possiamo costruire fino a
3 linee di fit per wedge
(1 linea di fit = $6 \cdot 7 = 42$ DSP)

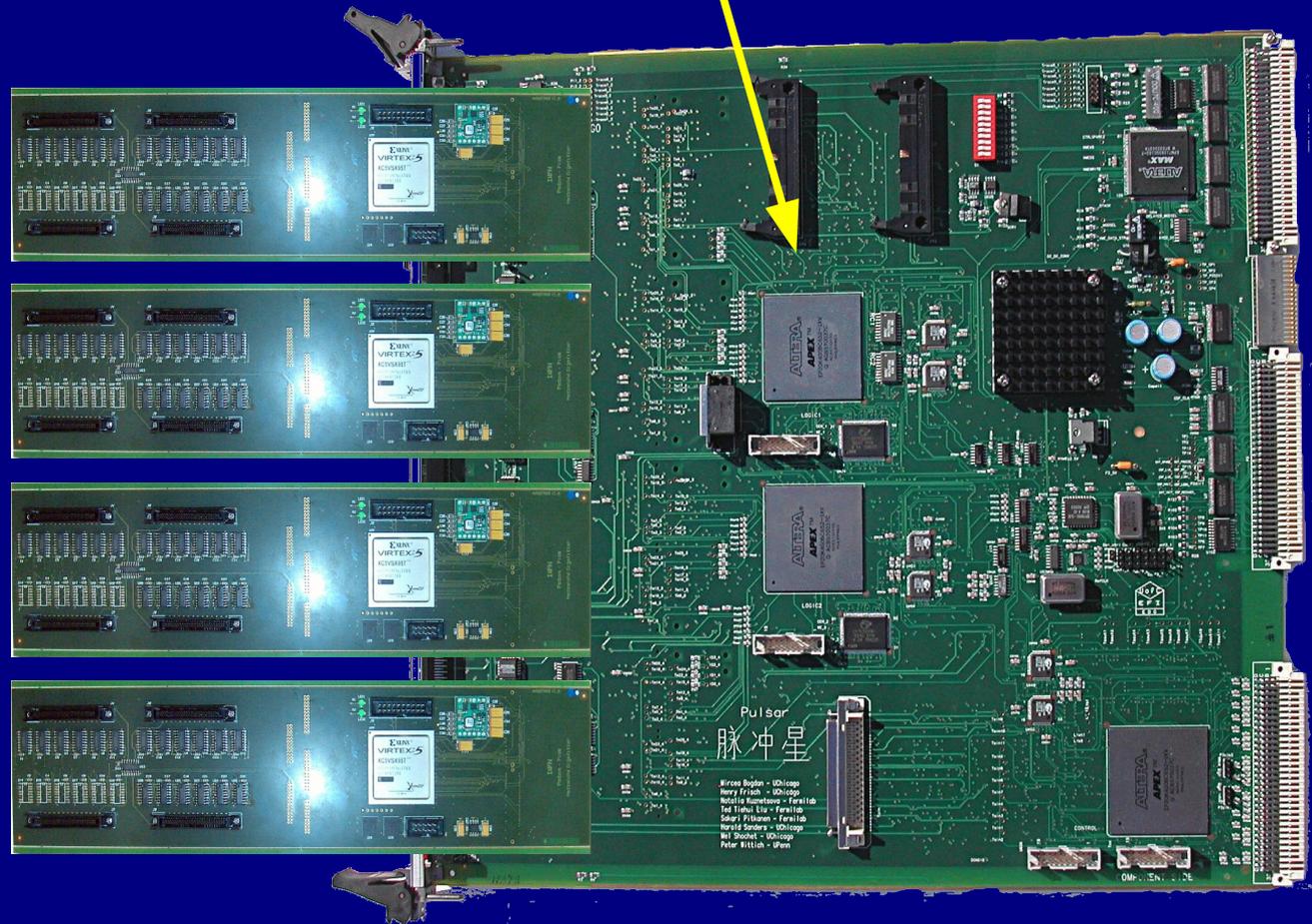
Grande livello di parallelizzazione, grande velocità

Il sistema completo

Scheda PULSAR

12 settori SVX

RAM



GF = 1 scheda



**Sistema attuale = 16 schede
(12 TF + 4 schede Merger)**

Vantaggi rispetto al TF

VELOCITA'

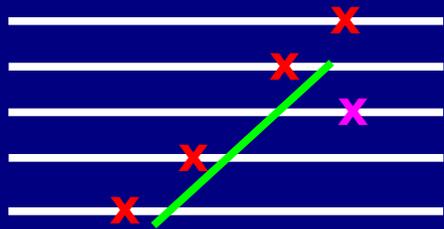
3 mezzanine
4 settori di SVX ciascuna,
3 linee di fit per settore

fino a **36 fit / ciclo di clock**
(**3 fits/ns** a 100 MHz)

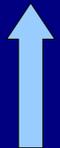
MAGGIORE EFFICIENZA



Track Fitter



Cattivo χ^2

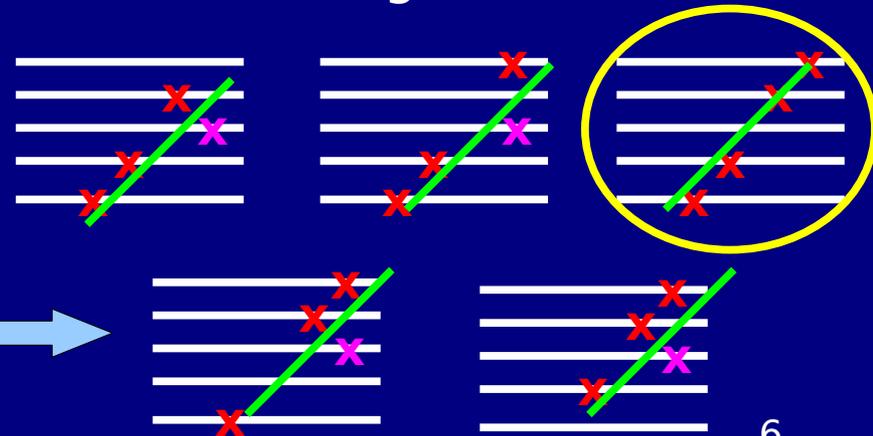


Traccia eliminata

Fit di tutte le possibili
combinazioni
di 4 hit, scelta della
combinazione
che dà il risultato
migliore



GigaFitter

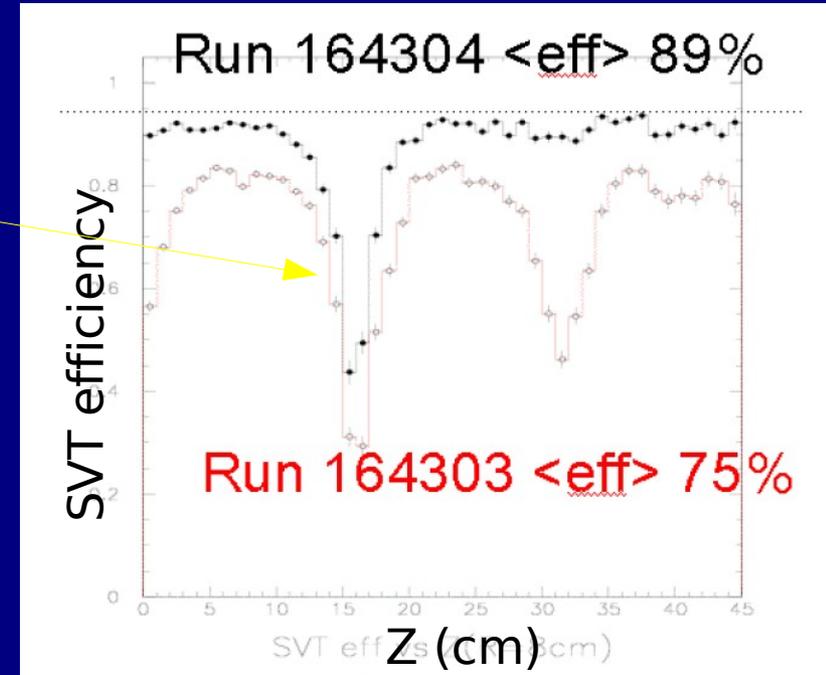
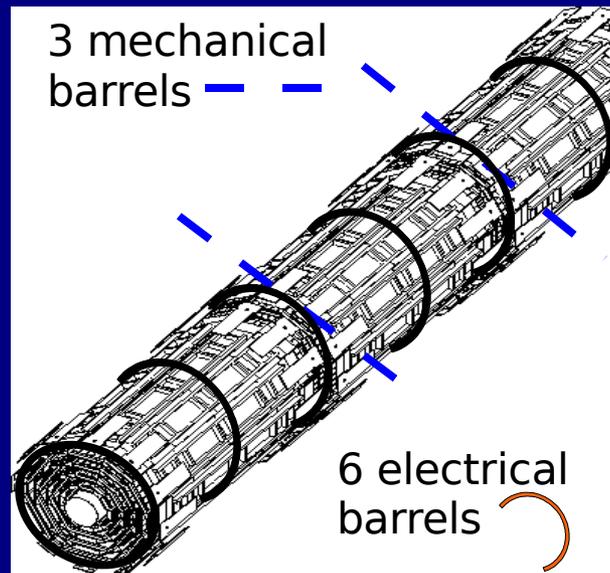


Vantaggi rispetto al TF

Accettanza di SVT

Più memoria disponibile, **più pattern**

- per le tracce che attraversano i barrel meccanici di SVX



- per estendere la copertura in p_T o parametro d'impatto (importante per misure di vita media e per il b-tagging)

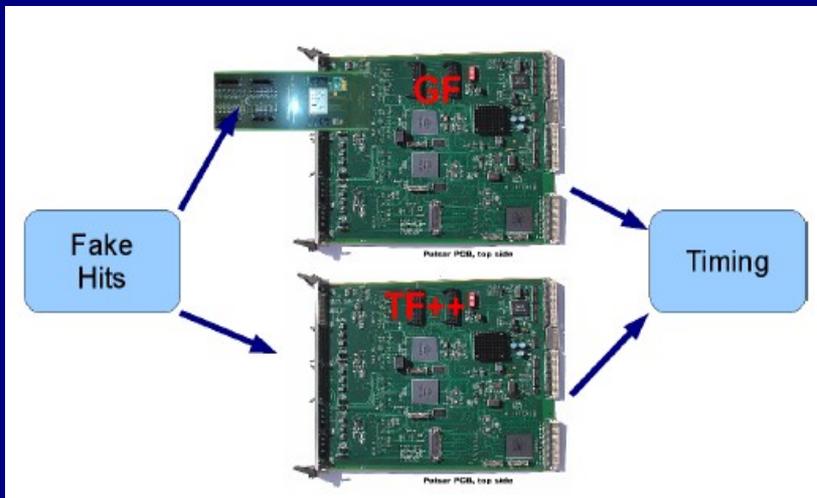
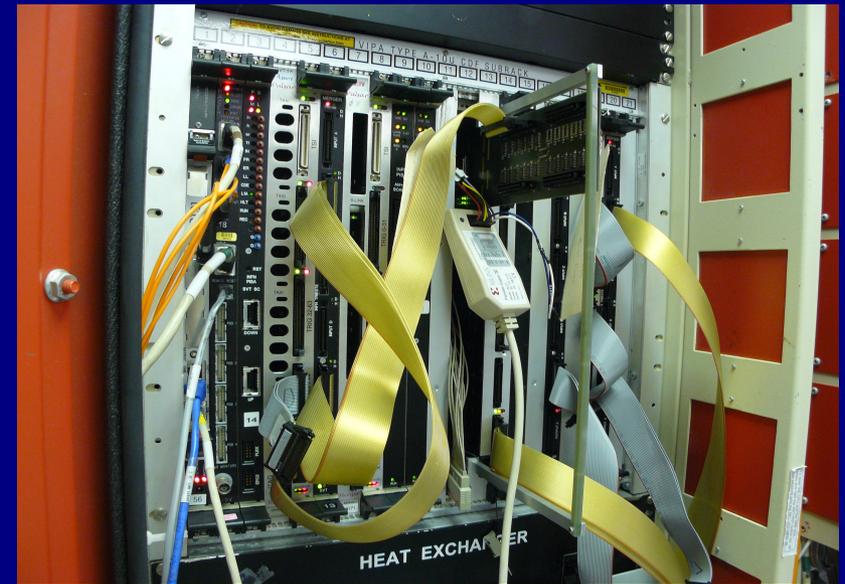
$$p_T > 2 \text{ GeV}/c \longrightarrow p_T > 1.5 \text{ GeV}/c$$

$$d < 1.5 \text{ mm} \longrightarrow d < 2-3 \text{ mm}$$

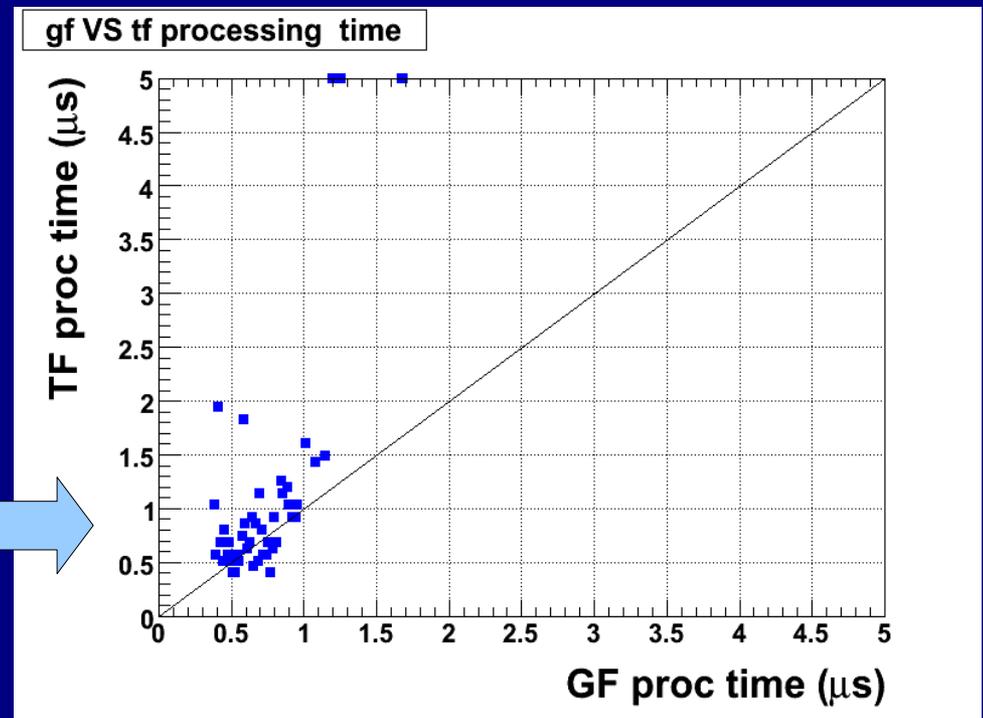
Primi test a Fermilab

Febbraio 2009

- 1 mezzanina installata sulla Pulsar
- test in configurazione parassita



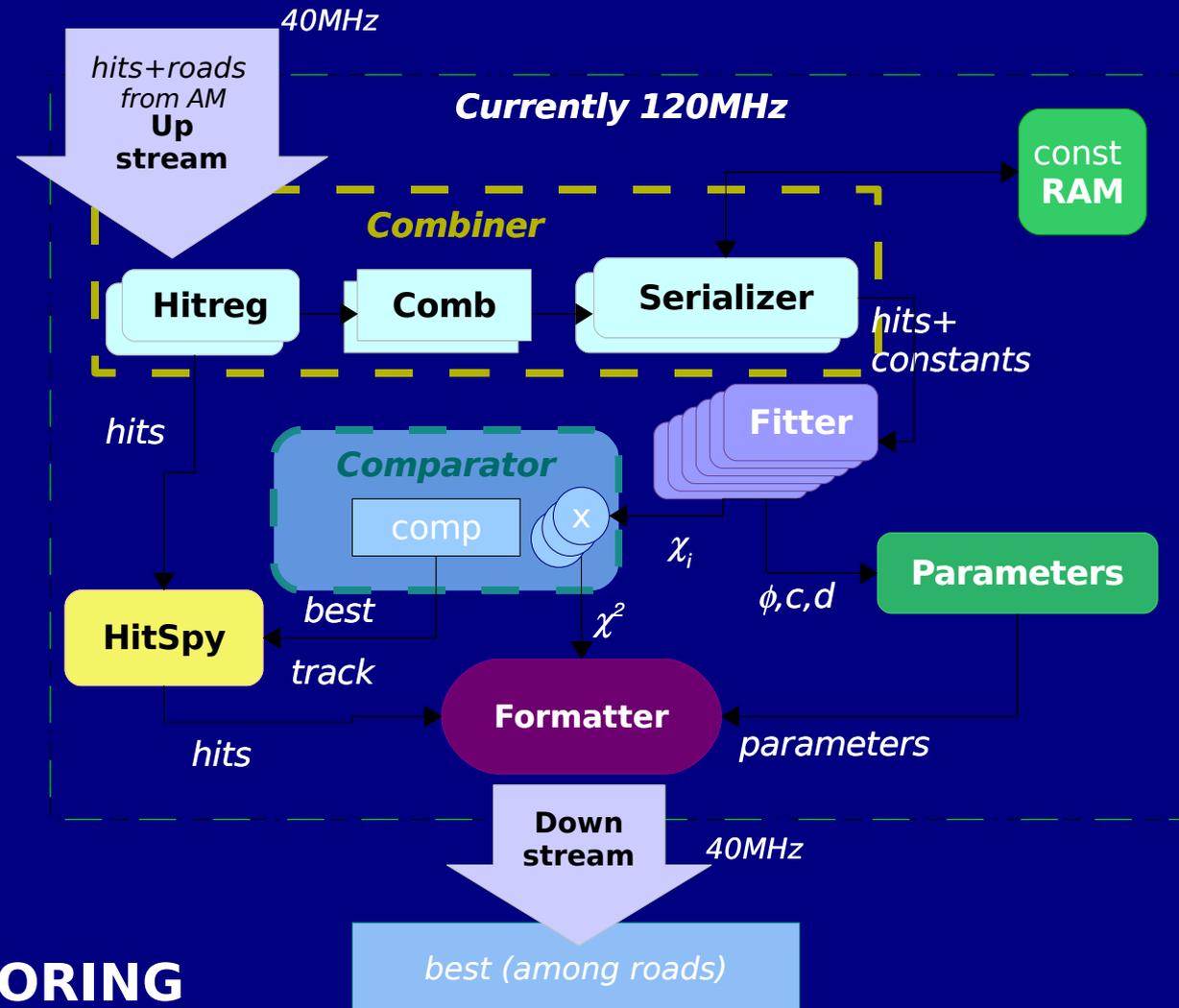
GF non ancora ottimizzato, 120 MHz



Stato attuale

FIRMWARE

- Firmware di una singola linea di fit quasi completo (in corso il trattamento degli errori)
- frequenza di lavoro **120 Mhz** → > **1 fit/ns**
- possibilità di ulteriore ottimizzazione

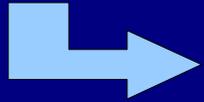


SIMULAZIONE e MONITORING

- in sviluppo parallelamente al firmware

Prossimi passi

Shutdown del Tevatron dal 15 giugno per 10-12 settimane



- Installazione parassita del GF completo (3 mezzanine per 12 settori di SVX)



Name	Work	2009, Qtr 3		
		Jul	Aug	Sep
Preparation/Check of parasitic configuration	5d			
Installation of the GigaFitter	4d			
Test of GF vs TF++	25d			
Study of GF performances	25d			
OFFICIAL PROPOSAL	10d			
Final Installation	10d			

Richieste

Attualmente abbiamo:

- 1 Pulsar
- 4 Mezzanine (3 perfette + 1 prototipo che ha subito qualche riparazione)

Per l'installazione definitiva avremo bisogno di

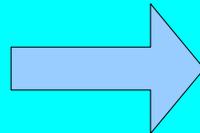
- 1 GF completo di scorta (4 mezzanine + 1 Pulsar)
- 1 mezzanina extra

Richieste:

- 6 mezzanine (per sostituire eventualmente anche il prototipo)

Costi:

- 6 FPGA → $3\text{k€} \times 6 = 18\text{ k€}$
- 6 PCB → $340\text{€} \times 6 \sim 2\text{k€}$
- Montaggio PCB → 2 k€



Totale 22 k€

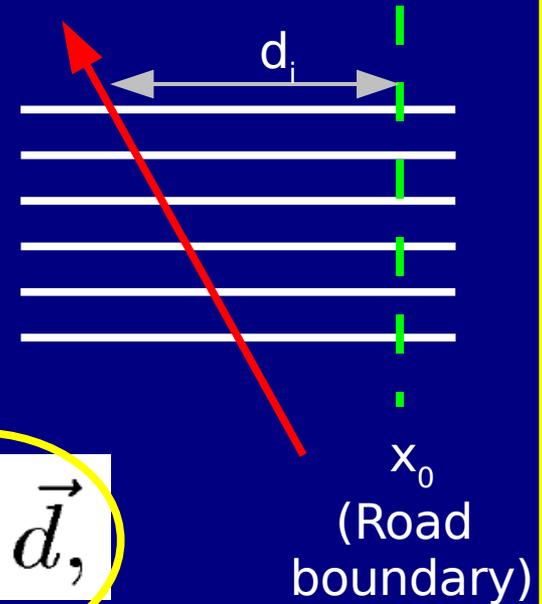
BACKUP

limiti di SVT - I

Coordinate delle tracce = **18 bits**
Moltiplicatori del TF++ = **8 x 8 bits**

il prodotto scalare deve essere
diviso in 2 termini

$$p_i = \vec{f}_i \cdot \vec{x} + q_i$$



$$p_{0i} + \delta p_i = (\vec{f}_i \cdot \vec{x}_0 + q_i) + \vec{f}_i \cdot \vec{d}_i$$

termine **precalcolato**,
che deve essere
immagazzinato in **memoria**

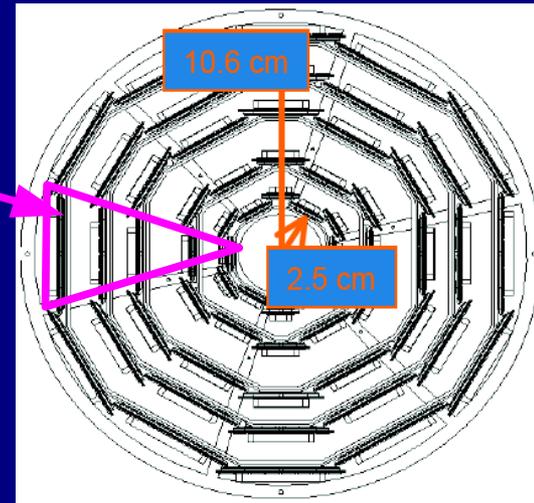
termine calcolato online
tramite i moltiplicatori a
8x8 bit

Limiti di SVT - II

SVX è suddiviso in 12 settori (wedges) ciascuno di $30^\circ \phi$



12 schede TF++

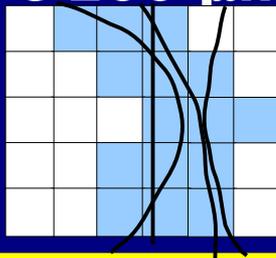


I pattern vengono calcolati offline → **512 k roads / SVX wedge**
Il numero dei pattern è **limitato** dalla memoria disponibile

La larghezza della road è **200 μm**

if larger →

- greater efficiency
- many tracks to fit
- high processing time



if smaller →

- small processing time
- efficiency limited by the max # of patterns

